

## ⑫ 公開特許公報(A) 平2-238500

⑮ Int. Cl.<sup>3</sup>G 10 L 9/18  
G 06 F 3/16

識別記号

3 4 0 J  
K

庁内整理番号

8622-5D  
8323-5B

⑬ 公開 平成2年(1990)9月20日

審査請求 未請求 請求項の数 3 (全11頁)

⑭ 発明の名称 不揮発性半導体メモリを用いた音声記録装置

⑰ 特 願 平1-59313

⑱ 出 願 平1(1989)3月10日

⑲ 発 明 者 平 原 修 三 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合  
研究所内⑳ 発 明 者 伊 藤 春 彦 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合  
研究所内

㉑ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

㉒ 代 理 人 弁 理 士 鈴 江 武 彦 外3名

## 明 細 書

## 1. 発明の名称

不揮発性半導体メモリを用いた音声記録装置

## 2. 特許請求の範囲

(1) マイクロフォンと、

このマイクロフォンの出力信号をディジタル信号に変換するA/Dコンバータと、

このA/Dコンバータの出力信号を記憶する電氣的書替え可能な不揮発性半導体メモリと、

この半導体メモリの出力信号をアナログ信号に変換するD/Aコンバータと、

このD/Aコンバータの出力信号を音声に変換して出力するスピーカと、

録音スイッチおよび再生スイッチを含む入力部と、

この入力部からの信号により前記半導体メモリの書込みおよび読出しを制御するプロセッサと、

を有することを特徴とする音声記録装置。

(2) マイクロフォンと、

このマイクロフォンの出力信号をディジタル信号に変換するA/Dコンバータと、

このA/Dコンバータの出力信号を記憶する電氣的書替え可能な不揮発性半導体メモリと、

この半導体メモリの出力信号をアナログ信号に変換するD/Aコンバータと、

このD/Aコンバータの出力信号を音声に変換して出力するスピーカと、

録音スイッチ、連続スタートスイッチおよび再生スイッチを含む入力部と、

前記録音スイッチのオンおよび連続スタートスイッチのオフを検出して前記半導体メモリの音声データ領域に先頭アドレスからシリアルに音声データを書込む制御信号およびアドレス信号を発生する手段と、

前記録音スイッチおよび連続スタートスイッチのオンを検出して前記半導体メモリの制御データ領域から最終の記録終了アドレスを読出し、その次のアドレスから前記音声データ領域にシリアル

に音声データを蓄込む制御信号およびアドレス信号を発生する手段と、

前記録音スイッチのオフを検出して記録終了アドレスを前記半導体メモリの制御データ領域に格納した後、蓄込みを停止する手段と、

前記再生スイッチのオン、オフを検出して前記半導体メモリの音声データのシリアル読出しとその停止を制御する信号およびアドレス信号を発生する手段と、

を有することを特徴とする音声記録装置。

(3) 不揮発性半導体メモリは、浮遊ゲートと制御ゲートを有する複数のFETMOS型メモリセルが隣接するもの同志でソース、ドレインを共用して直列接続されてNANDセルを構成したEEPROMである請求項(1)または(2)のいずれかに記載の音声記録装置。

### 3. 発明の詳細な説明

#### 〔発明の目的〕

##### (産業上の利用分野)

本発明は、電氣的書き換え可能な大容量の不揮

発性ダイナミックRAM(DRAM)であり、記録保持のためにはバックアップ電源を必要とした。

#### (発明が解決しようとする課題)

以上のように、テープレコードは機械式であるために、小型化や寿命、性能などに限界があった。

本発明はこの様な問題を解決して、テープレコード対応の機能を有し、小型としてしかもテープレコードでは得られない優れた性能を発揮し得る半導体メモリを用いた音声記録装置を提供することを目的とする。

#### 〔発明の構成〕

##### (課題を解決するための手段)

本発明においては、音声記録媒体として、電氣的書き換えを可能とした不揮発性半導体メモリ(Electrically Erasable and Programmable ROM、以下E<sup>2</sup>EPROMと称する)を用いる。すなわち本発明にかかる音声記録装置は、マイクロフォン、このマイクロフォンの出力信号をディ

ジタル信号に変換するA/Dコンバータ、このA/Dコンバータの出力信号を記憶するEEPROM、このEEPROMの出力信号をアナログ信号に変換するD/Aコンバータ、このD/Aコンバータの出力信号を音声に変換して出力するスピーカ、録音スイッチおよび再生スイッチを含む入力部、およびこの入力部からの信号により前記EEPROMの蓄込みおよび読出しを制御するプロセッサを有することを特徴とする。

#### (従来の技術)

現在、小型の音声記録装置としては一般に磁気テープを用いた所謂テープレコードが広く用いられている。しかしテープレコードは、複雑な機械構造を含むため、小型化には限界あり、電池寿命も短く、繰返しによる磨耗があり、ランダムアクセスがむずかしい。また録音、再生の立ち上がり速度にも限界がある。

一方近年の半導体技術の進歩は目覚しく、各種半導体メモリの大容量化が著しく進んでいる。これに伴い、半導体メモリの音声情報や画像情報などのアナログ情報処理への応用も種々考えられている。

しかしこれまでのところ、半導体メモリの音声記録への応用は、例えば留守番電話や各種のオモチャなど、せいぜい数分という短時間の記録に限られていた。しかもこれらに用いられている半導体メモリは、電源がオフになると情報が消失する

ため、電源がオフになると情報が消失する。しかしこれまでのところ、半導体メモリの音声記録への応用は、例えば留守番電話や各種のオモチャなど、せいぜい数分という短時間の記録に限られていた。しかもこれらに用いられている半導体メモリは、電源がオフになると情報が消失する。

#### (作用)

本発明によれば、磁気テープに代る記録媒体として音声データをディジタル化して記録するEEPROMを用いることにより、複雑な機構をなくした、テープレコードに代る小型の音声記録装置が得られる。例えば4MビットのEEPROMを用いることにより、数十分程度の録音が可能である。従来磁気テープの場合のような制約はなく、例えばカード型やペンシル型など任意の形を採用することができる。EEPROMは電源がオフになってもデータを不揮発的に記憶するから、

ックアップ電圧を要しない。従って例えばEEPROMをカード型として媒体とは別化に構成すれば、磁気ディスクのように扱うことができる。

また本発明の音声記録装置は、電気的にのみアクセスするから、テープレコーダにはない性能を得ることができる。即ちテープレコーダに比べて録音、再生の立ち上がり速度が速くなる。また録音や再生において高速の頭出しの機能を持たせることができる。これは例えば、EEPROMに音声データ領域と別に制御データ領域を設けて、前回の記録終了アドレスや途中からの再生を指示するアドレスなどを制御データとして記録することにより、容易に実現することができる。また無音期間を詰めて録音する圧縮録音をした場合において、従来のテープ走行系では立ち上がりの頭が切れたり、スピードの変化による不快な音の発生があったが、これらの問題が解消される。

#### (実施例)

以下、本発明の実施例を図面を参照して説明する。

ル型EEPROMである。このEEPROM13の構成と動作原理を以下に説明する。

第10図がそのNANDセル型EEPROMの構成を示すブロック図である。外部制御信号端子として、チップ・イネーブル端子 $\overline{CE}$ 、アウトプット・イネーブル端子 $\overline{OE}$ およびライト・イネーブル端子 $\overline{WE}$ を有し、18本のアドレス信号端子 $A_0 \sim A_{17}$ 、8本のデータ入出力端子 $I/O_0 \sim I/O_7$ を有し、電源端子 $V_{cc}$ および $V_{ss}$ を有する。メモリセルアレイ1はこの実施例では、後述するように4個のメモリセルをまとめてNAND型に構成した4Mビットの容量を有する。メモリセルアレイ1のビット線 $BL_1 \sim BL_m$  ( $m=2048$ )は、センスアンプ/データラッチ回路5に接続されている。選択ゲート線 $SG_{1n}$ 、 $SG_{2n}$ およびワード線 $WL_{1n} \sim WL_{4n}$  ( $n=512$ )は、ロウ・デコーダ3に接続されている。アドレス信号は、アドレス・バッファ2を介してロウ・デコーダ3およびカラム・デコーダ4に入力され、これにより番地選択がなされる。読出し時、ビット線 $BL$

第1図は、一実施例の音声記録装置の構成を示すブロック図であり、第2図はそのEEPROMのメモリ構成を示す。第1図に示すようにこの音声記録装置は、マイクロフォン11、このマイクロフォン11の出力をディジタル信号に変換するA/Dコンバータ12、このA/Dコンバータ12の出力が書込まれるEEPROM13、このEEPROM13の読出し出力をアナログ信号に変換するD/Aコンバータ14、このD/Aコンバータ14の出力を電気-音響変換して出力するスピーカ15、録音スイッチおよび再生スイッチを含む各種操作スイッチを有する入力部17、およびこの入力部17からの信号によりEEPROM13を制御してその書き込みおよび読出しを行うCPU16により構成される。入力部17としてこの実施例では、録音スイッチSW1、再生スイッチSW2のほか、連続スタートスイッチSW3、オートリターンスイッチSW4を有する。

EEPROM13は、4MビットのNANDセ

1～ $BL_m$ に出力されたデータは、センスアンプ/データラッチ回路5で増幅、ラッチされ、出力バッファ6を介して入出力端子 $I/O_0 \sim I/O_7$ から外部に出力される。データ書き込み時は、入出力端子 $I/O_0 \sim I/O_7$ から入力されたデータが入力バッファ7を介し、センスアンプ/データラッチ回路5に取り込まれた後、選択番地のメモリセルに書込まれる。8は外部制御信号から内部制御信号を生成する制御論理回路である。

第11図は、メモリセルアレイ1の構成を示す等価回路である。メモリセル $M_{ij}$ は、チャネル領域全面に薄いゲート絶縁膜を介して浮遊ゲートと制御ゲートが積層形成されたFETMOSタイプである。例えばnチャネルの場合、制御ゲートに正の高電圧を印加して浮遊ゲートの電子をF-Nトンネリングにより基板に放出させることによりしきい値を負方向に移動させる動作をデータ消去(または書き込み)に対応させ、制御ゲートを $V_L$ レベルに保ってドレインに正の高電圧を印加してやはりF-Nトンネリングにより浮遊ゲートに電

子を注入してしきい値を正方向に移動させる動作をデータ書込み（または消去）に対応させる。データ書込みおよび消去に用いる高電圧は、第10図のロウ・デコード3、カラム・デコード4内にある昇圧回路により生成される。これらのメモリセルは、そのソース、ドレインを隣接するもの同士で共用する形で4個直列接続されて一つのブロックをなす、いわゆるNANDセルを構成している。NANDセルの一端は選択ゲートQs1を介してビット線BLに接続され、他端は選択ゲートQs2を介してソース線Vsに接続されている。メモリセルは図示のようにマトリクス配列され、ロウ方向のメモリセルの制御ゲートはワード線WLに共通接続されている。

第12図は、読出し時のタイミングチャートである。チップ・イネーブル端子 $\overline{CE}$ 、アウトプット・イネーブル端子 $\overline{OE}$ を“L”レベルにし、ライト・イネーブル端子 $\overline{WE}$ を“H”レベルとしてアドレスを変化させることにより、8個のメモリセル・データがセンスアンプ/データラッチ回路

5を介して入出力線I/O。～I/O<sub>7</sub>に得られる。

第13図は、書込み時のタイミングチャートである。チップ・イネーブル端子 $\overline{CE}$ を“L”レベル、アウトプット・イネーブル端子 $\overline{OE}$ を“H”レベルとし、アドレス信号に同期してライト・イネーブル端子 $\overline{WE}$ をトグルさせることにより、入出力線I/O。～I/O<sub>7</sub>から入力されたデータが入力バッファ7を介してセンスアンプ/データラッチ回路5にラッチされ、順次選択番地に書込みがなされる。

このようなNANDセル型EEPROMは、複数のメモリセルをまとめてビット線に接続するため、ビット線とのコンタクト数が各メモリセル毎にビット線に接続する場合に比べて大幅に少なくなり、従って極めて高密度に集積化できるという利点を有するのである。

この実施例においてはEEPROM3は、第2図に示すように音声データ領域と制御データ領域に分けられている。制御データ領域には、前回の

記録終了アドレスや再生時に外部から設定される指定アドレス、記録の可否を示す信号などが格納される。

次に具体的な録音モードでの動作を、第3図(a)フローチャートに従って説明する。録音スイッチ⑩をオンすることにより、その信号をCPU16が検出して第3図(a)のフローが開始される。CPU16はまず、EEPROM13の制御データ領域の記録可否信号Bを読出して判定し(P1)、NOならばメッセージを出して(P2)終了する。YESならば次に連続スタートスイッチ②のオン、オフを検出する(P3)。連続スタートスイッチ②がオンならば、CPU16はEEPROMの制御データ領域の前回記録終了アドレスAを読出してこれをアドレス・ポインタAAに取り込み(P5)、オフならばEEPROM13の音声データ領域の先頭アドレス“00”をアドレス・ポインタAAに取り込む(P4)。そして録音スイッチ⑩のオン、オフを検出して(P6)、オフならばその時のアドレス・ポインタAAの内

容をEEPROM13の制御データ領域に記録終了アドレスAとして格納して(P7)終了する。録音スイッチ⑩がオンの場合、CPU16は書込み制御信号を出し、アドレス・ポインタにより指定されたEEPROM13の音声データ領域の所定のアドレスに音声データを書込む(P8)。そしてアドレス・ポインタAAの内容を順次更新して(P9)アドレス信号を出し、EEPROM13をシリアルにアクセスして音声データ領域に順次音声データを書込んでいく。音声データ領域の最大アドレスA<sub>max</sub>を検出すると(P10)、オートリターン・スイッチ③のオン、オフを検出する(P11)。オートリターン・スイッチ③がオフの場合は、終了メッセージを出して(P12)録音は終了する。オートリターン・スイッチ③のオンを検出すると、アドレス・ポインタAAに音声データ領域の先頭アドレス“00”を取込んで(P13)、再度先頭アドレスから音声データの書込みを行なう。

次に再生の場合の動作を第3図(b)のフローを

参照して説明する。再生スイッチ①のオンによりこのフローが開始される。まず連続スタートスイッチ②のオン、オフを判定し(Q1)、オフであれば音声領域の先頭アドレスをアドレス・ポインタAAに設定し、オンであれば外部から指定されたアドレスをアドレス・ポインタAAに設定する(Q3)。そして再生スイッチ①のオン、オフを判定し(Q4)、オンであれば音声データを選択されたアドレスから読出す(Q6)。そしてアドレスを更新して(Q7)、最終アドレスになったか否かを判定し(Q8)、最終アドレスになっていなければ、データ読出しを繰り返す。最終アドレスが読出されると、オートリターン・スイッチ③のオン、オフが判定され(Q9)、録音の場合と同様にオートリターン(Q11)または終了(Q12)となる。

このようにしてこの実施例によれば、テープレコーダと同様の機能を持つ録音ができる。また連続スタートスイッチ②を操作することにより、未録音領域の先頭アドレスを出して前回の録音終了

時点からの録音を行うことができる。この頭出しは、ほとんど瞬時に行われるので、テープレコーダにはない優れた機能であるといえる。オートリターン機能についても同様であり、ほとんど時間待ちがなく再録音ができる。

次に、早送り、逆送り、無音期間の圧縮など機能を持つより多機能化した実施例を説明する。基本構成は第1図と同様である。第4図～第6図がその録音および再生を含むCPUによる制御フローを示している。第7図は入力部のスイッチ群であり、図示のように録音スイッチ⑩、再生スイッチ⑪、先頭アドレスからの録音再生を指示する先頭アドレススイッチ⑫、途中からの録音再生を指示する連続アドレススイッチ⑬、オートリターンスイッチ⑭、早送りスイッチ⑮、逆送りスイッチ⑯、無音期間を詰めて録音しこれを再生する場合に用いられる圧縮スイッチ⑰、ランダムアクセススイッチ⑱などがある。

録音スイッチ⑩または再生スイッチ⑪がオンであればこのフローが開始する。まず、ディスプ

レイD上の内容が判定される(S1)。ディスプレイD上には例えば、4桁16進表示で、録音および再生が可能の場合には0000が表示され、録音禁止の場合は制御データ内の録音禁止データFFFFが表示され、その他暗証番号などの制御情報が表示されるようになっている。FFFFであれば、ステップS2で録音かまたは再生かの判断をし、録音スイッチがオンである場合にはメッセージを出して終了する。録音再生可能な0000、録音禁止のFFFF以外の場合は、ステップS3でディスプレイD上の内容が暗証番号と一致するかが判定され、一致していなければメッセージを出して終了する。一致していれば、次のステップS4に進む。ここで、先頭アドレススイッチ⑫がオンか、連続アドレススイッチ⑬がオンか、またはランダムアクセススイッチ⑭がオンか、という開始モードの判定がなされる。先頭アドレススイッチ⑫がオンであれば、EEPROMの音声データ領域の先頭アドレス“00”がアドレス・ポインタAAに書き込まれる(S8)。連続ア

ドレススイッチ⑬がオンであれば、制御データ領域の連続アドレス・データAがアドレス・ポインタに書き込まれる(S5)。ランダムアクセス・スイッチ⑭がオンであれば、これが外部からの設定によりディスプレイD上に指示されているか否かが判定され(S6)、それが指示されていれば、そのディスプレイD上のアドレスがアドレス・ポインタAAに書き込まれる(S7)。

次にステップS9において、早送りスイッチ⑮がオンであるか、逆送りスイッチ⑯がオンであるかの判定がなされる。早送りスイッチ⑮がオンであれば、アドレスの更新を2ステップずつとする設定( $\alpha=2$ )がなされ(S10)、逆送りスイッチ⑯がオンであれば、アドレスの更新を逆方向に1ステップずつとする設定( $\alpha=-1$ )がなされ、それ以外の場合は通常の1ステップずつの更新を行うような設定( $\alpha=1$ )がなされる。これらのデータはEEPROMの制御データ領域に記録される。次に、圧縮スイッチ⑰がオンであるか否かが判定される(S13)。圧縮スイッチ⑰がオフの

場合は第5図、オンの場合は第6図のフローに移る。

第5図により、圧縮モードでない場合の録音、再生の動作を説明する。まず、録音スイッチ④または再生スイッチ④のオン、オフを判断する(S14)。いずれもオフであれば、アドレス・ポインタAAの内容を制御データ領域のアドレスAに書き込んで終了する(S15)。録音スイッチ④

がオンであれば、EEPROMへの書き込みを実行する(S18)。再生スイッチ④がオンであれば、EEPROMの読出しを実行する(S17)。そして先に設定されてステップでアドレスの更新をして(S18)、アドレス・ポインタAAの内容が最終アドレスになったか否かの判断をし(S19)、最終アドレスになっていない場合には所定のサンプリング・タイミングをとってステップS14に戻り、同様のサイクルを繰り返す最終アドレスの1ステップ前を検出すると、オートリターンスイッチ④のオン、オフを判断し(S20、S22)、オフであればメッセージを出して終了し、オンであ

い値以下である時間を記録するためのレジスタBをまずリセットし(S26)、ある定められた時間音圧レベルがしきい値以下であるか否かを判断する(S27)。NOであれば、通常どおりアドレスを更新し(S33)、EEPROMに音声データ書き込みを行う(S34)。一定時間音圧レベルがしきい値以下であることを検出するとレジスタBを+1して(S28)、そのレジスタBの内容を記録する(S30)。そしてレジスタBの内容が一定の値になったか否かを判定して(S30)、定められた一定値以下であればタイマで定められた時間において(S32)さらに一定時間音圧がしきい値以下であるか否かの判断を繰り返して(S27)、レジスタBに1を加えていく。レジスタBの内容が一定の値以上になったら、アドレスを更新する(S31)。こうして無音期間が続いた場合は、例えば通常アドレスが64ステップ進む間に1ステップしか進まないようにし、その無音期間を表すデータを再生時のしきい値以下の値で記録する。そして音圧がしきい値を超えたことを判定すると

れば最大アドレスA<sub>max</sub>をアドレスポインタAAに設定して(S23)、ステップS14に戻る。最終最大アドレス+1を検出した場合、アドレスポインタAAにはアドレス“00”を設定してやはりステップS14にもどり、先頭アドレスからのアクセスを繰り返す。こうして早送り、逆送り、オートリターンなどの機能を持つ録音、再生動作が実行される。

次に圧縮モードの場合の動作を第6図を用いて説明する。この圧縮は、録音時音圧レベルを検出してそれがしきい値以下である場合に、そのしきい値以下である時間が一定時間続いたときにアドレスの更新を停止してその間隔を通常より大きくすることで行う。そしてアドレスの更新停止時間は再生時のしきい値T<sub>0</sub>以下のデータで記録し、再生時はそのデータの表す時間長さ分だけアドレスの更新を遅らせることにより、無音期間を再生する。すなわち、まず録音スイッチ④または再生スイッチ④のオン、オフを検出し(S24)、録音スイッチがオンであれば、音圧レベルがしき

(S27)、ステップS31で設定されたアドレスからEEPROMのデータ書き込みを行う。

再生時は、データの値が定められたしきい値T<sub>0</sub>以下であるか否かが判断され(S35)、しきい値以下でない場合は通常の録音であるとして通常どおりアドレス更新を行い(S40)、EEPROMのデータ読出しを行う(S41)。しきい値以下である場合はその時の無音期間を示すデータをレジスタに記録し(S36)、このレジスタの内容が0になるまでカウントダウンを行い(S37~S39)、その間アドレスの更新を止めて、レジスタの内容が0になったことを判定して(S37)、アドレス更新を開始し(S49)、EEPROMのデータ読出しを行う(S41)。これにより圧縮されて録音されたデータが無音期間を含めて再生される。

その後の、最大アドレスの検出(S43)、オートリターンを行うか否かの判断(S44、S45)などは、圧縮モードでない場合と同様である。

以上のようにしてこの実施例によれば、早送り、

逆送り、無音期間の圧縮録音など、多様な機能をもった音声記録装置が得られる。

本発明は上記実施例に限定されない。例えば、小型のテープレコーダに代わるものとしてさらに携帯性を考慮して、カード型その他任意の形状をもつ記録再生装置を構成することができる。これは、本体がEEPROMやCPUであって形状や大きさが制限されないため、可能となる。例えば、第8図はカード型とした例である。EEPROMその他の集積回路チップ21をメモリカードと同様にカードに埋込み、電池22、スイッチ23、イヤホン24などを図示のように設けて構成される。また第9図のようにペンシル型とすることも容易にできる。EEPROMチップその他の集積回路チップ31は図示のように縦向きしてケース内に収納し、電池32、アンプ33なども組込み、イヤホン34を取り付けて小型に構成される。ペンシル型の場合チップ31を収納した下半分を交換可能とすればより便利になる。録音は自宅で行えるようにしてもよい。

に他の実施例の記録装置の外観を示す図、第10図は実施例に用いたEEPROMの構成を示すブロック図、第11図はそのメモリアルレイを示す図、第12図および第13図はそのデータ書き込みおよび読出しの動作を説明するためのタイミング図である。

11…マイクロフォン、12…A/Dコンバータ、13…EEPROM、14…D/Aコンバータ、15…スピーカ、16…CPU、17…入力部。

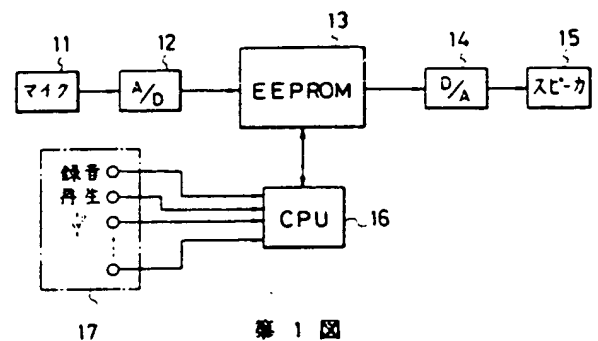
出願人代理人 弁理士 鈴江武彦

#### 【発明の効果】

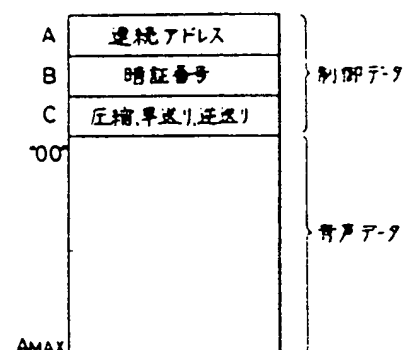
以上のべたように本発明によれば、EEPROMを用いることによって機械部分をなくした小型の音声記録装置が得られる。媒体も磁気テープの場合のように形状が制限されることがなく、任意の形状を採用することができる。さらに全体をカード型として磁気ディスクのように構成することもできる。また、電氣的にのみアクセスするから、録音、再生の立ち上がり速度は早く、高速の頭だしや無音期間を詰めて録音する圧縮録音などの機能を容易に付加することができる。

#### 4. 図面の簡単な説明

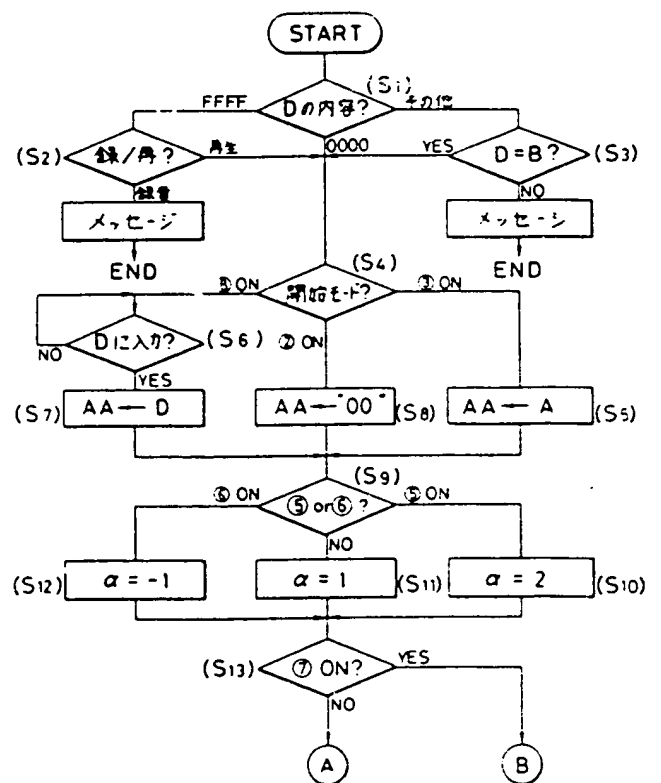
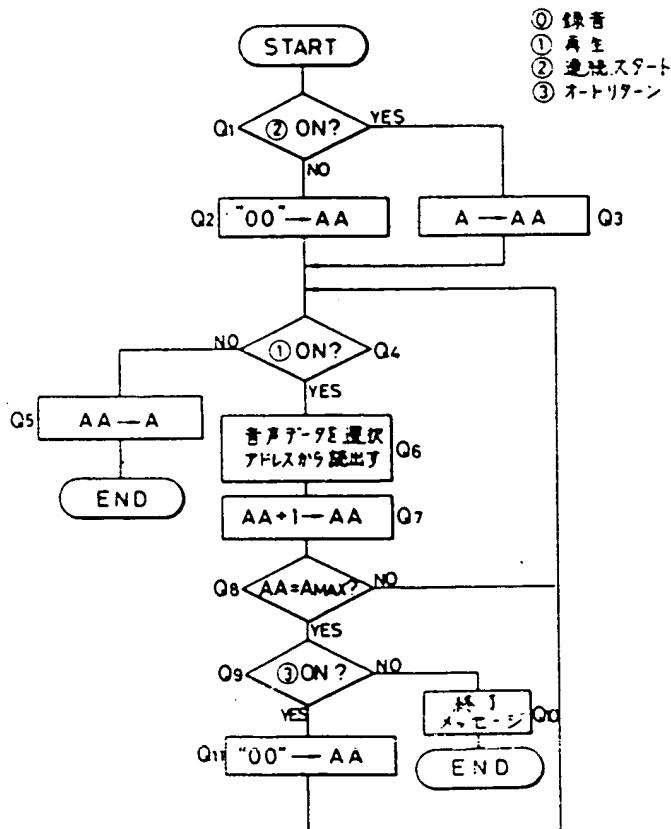
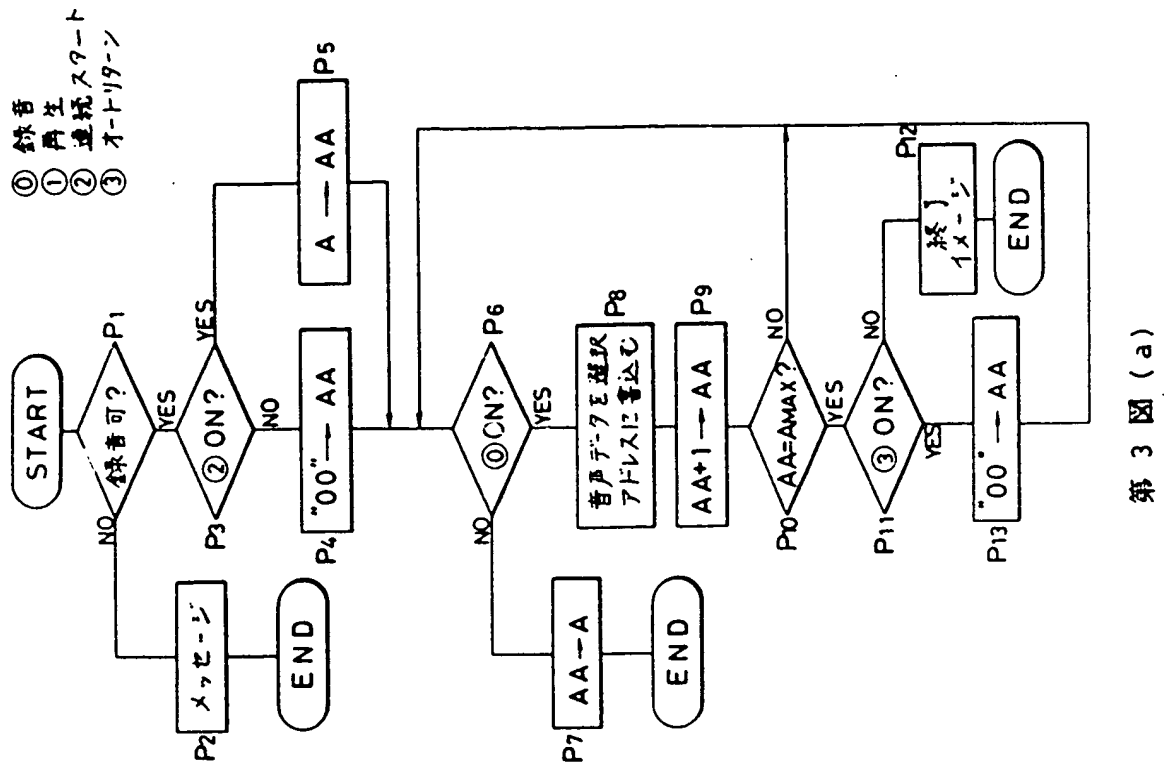
第1図は本発明の一実施例の音声記録装置の構成を示すブロック図、第2図はその記録装置に用いるEEPROMのメモリ構成を示す図、第3図(a)(b)はその記録装置の録音時および再生時の動作を説明するための制御フローを示す図、第4図～第6図は他の実施例の記録装置の動作を説明するための制御フローを示す図、第7図はその入力部の構成を示す図、第8図および第9図はさら



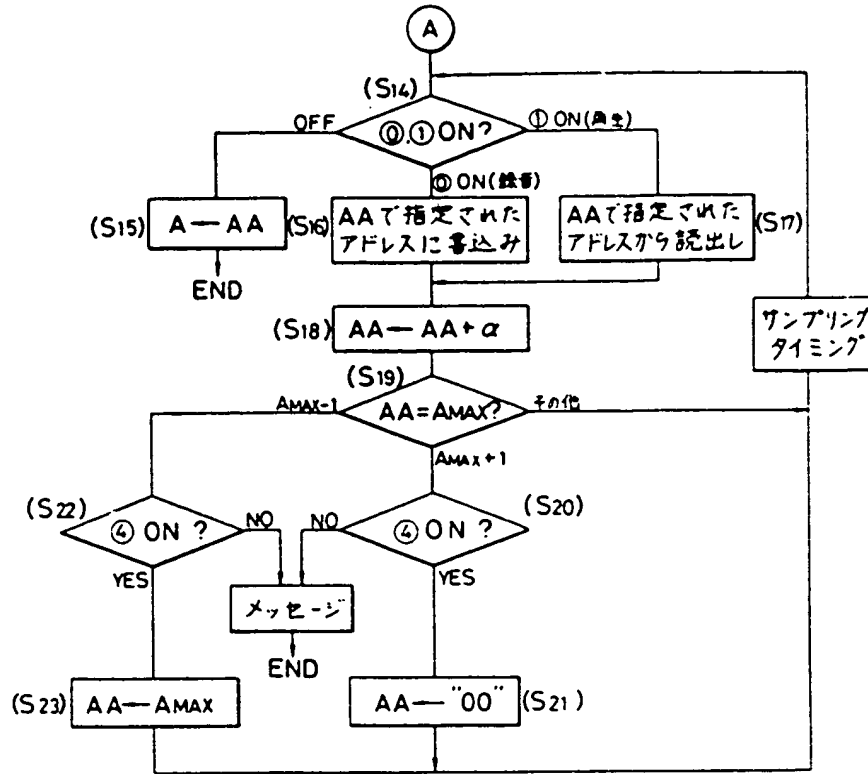
第1図



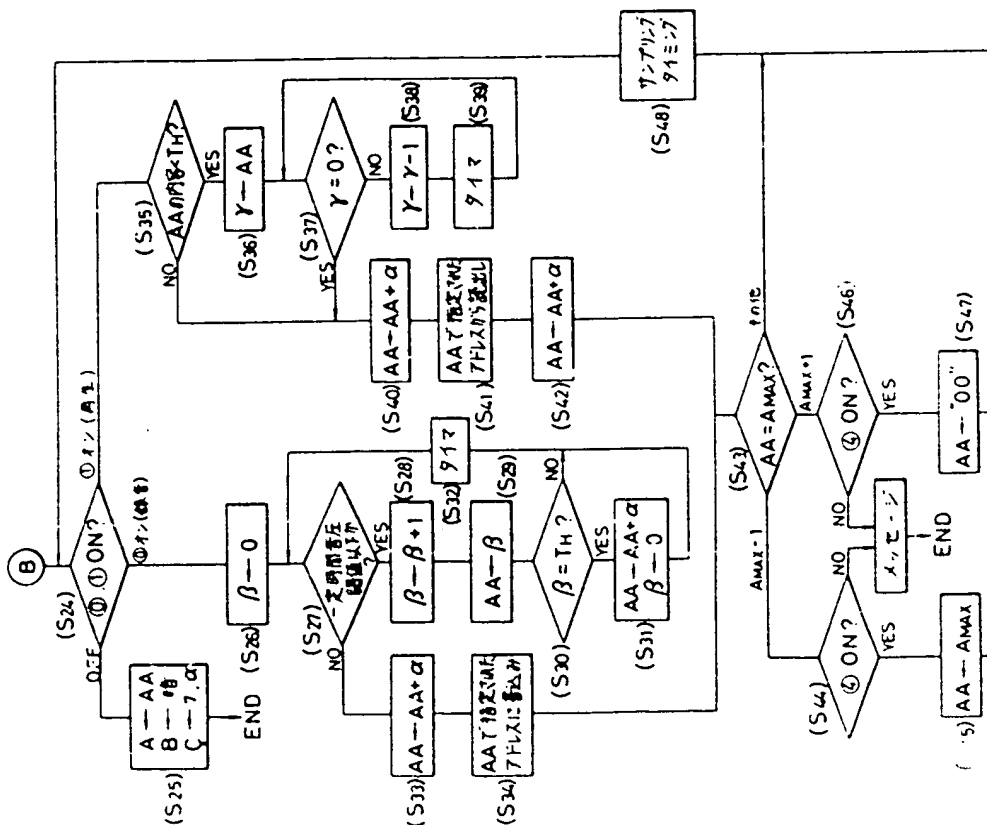
第2図







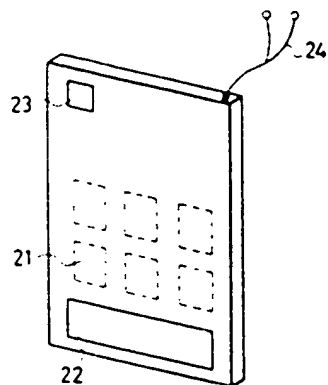
第 5 図



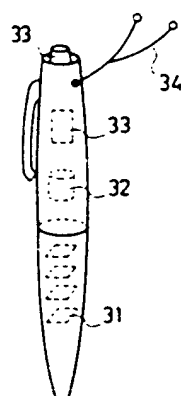
第 6 図

- ① 録音
- ② 再生
- ③ 先頭アドレス
- ④ 連続アドレス
- ⑤ オートリターン
- ⑥ 早送り ( $\alpha=2$ )
- ⑦ 速戻り ( $\alpha=-1$ )
- ⑧ 圧縮
- ⑨ ランダムアクセス

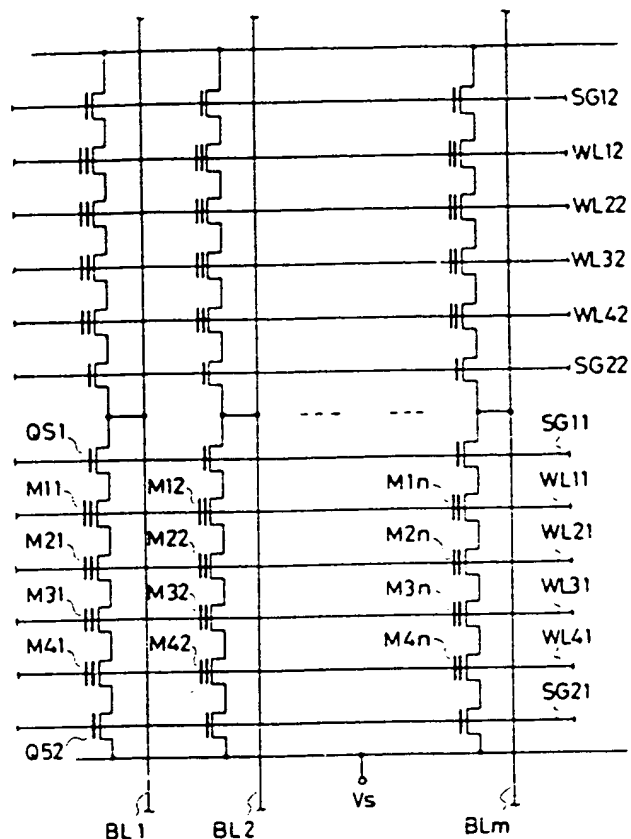
第 7 図



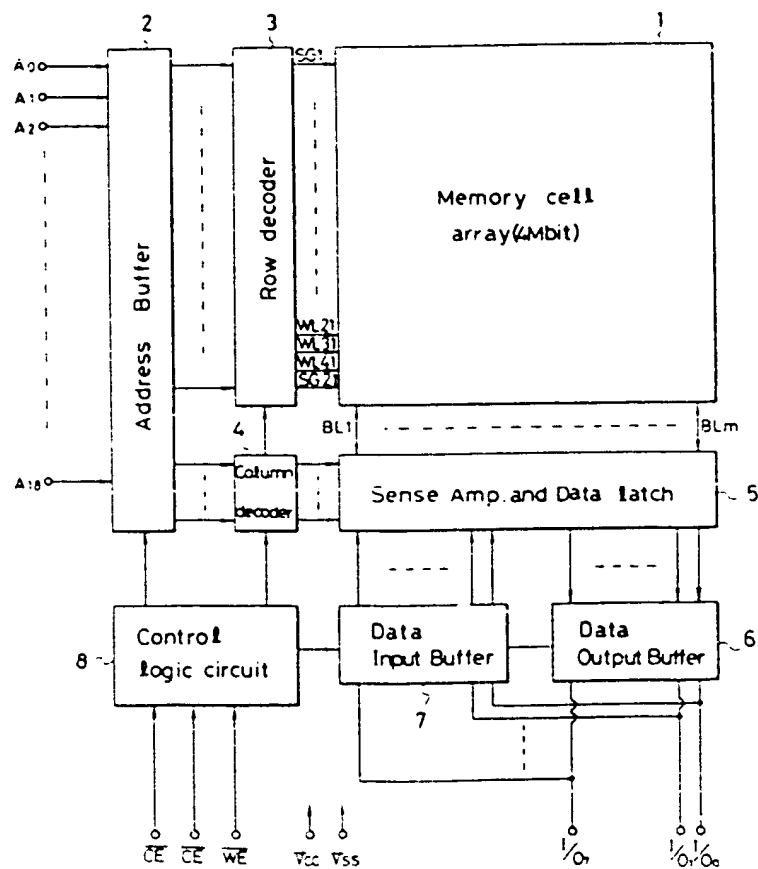
第 8 図



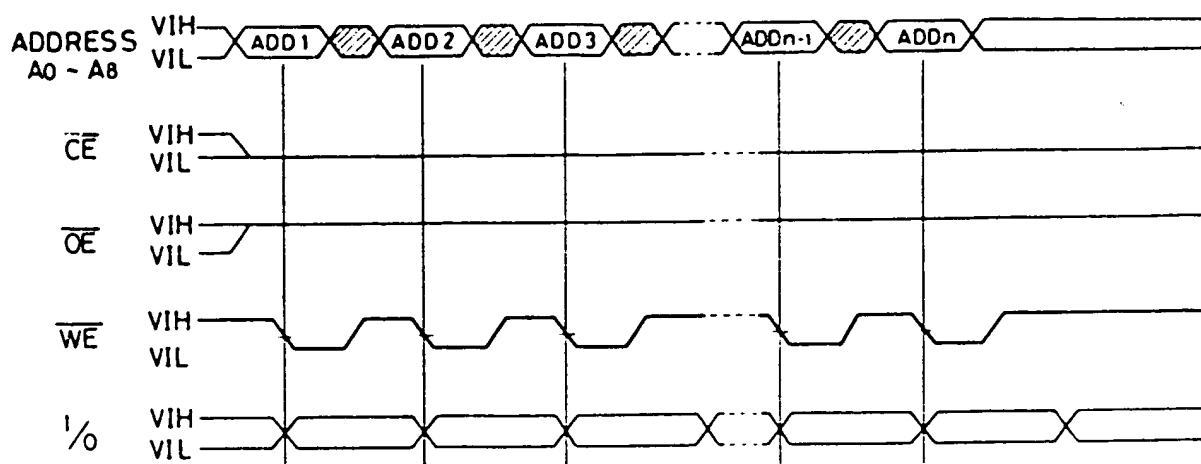
第 9 図



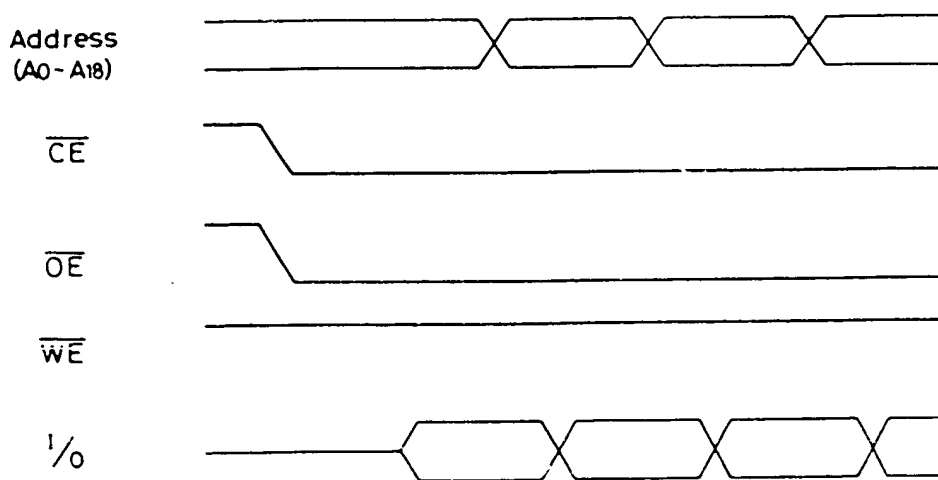
第 11 図



第 10 図



第 12 図



第 13 図